

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-227895

(43) 公開日 平成8年 (1996) 9月3日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/322		H 0 1 L 21/322	L
	21/331		29/72	
	29/73	9055-4M	29/78	6 5 8 L
	21/336		29/91	J
	29/861			B

審査請求 有 請求項の数 5 O L (全 6 頁) 最終頁に続く

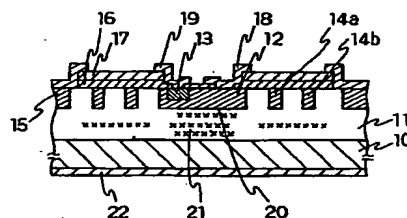
(21) 出願番号	特願平7-31148	(71) 出願人	000116024 ローム株式会社 京都府京都市右京区西院溝崎町21番地
(22) 出願日	平成7年 (1995) 2月20日	(72) 発明者	坂本 和久 京都市右京区西院溝崎町21番地 ローム株式会社内
		(74) 代理人	弁理士 河村 洸 (外2名)

(54) 【発明の名称】 半導体装置およびその製法

## (57) 【要約】

【目的】 高速のスイッチング特性で、かつ、高い耐圧またはリーク電流の少ない特性を有する半導体装置およびその製法を提供する。

【構成】 半導体基板 10 に該基板表面と平行な p n 接合 20 が形成された素子部の該 p n 接合の上下方向のみに粒子線の照射による結晶欠陥 21 が形成され、前記 p n 接合部以外の前記素子部の基板表面には粒子線放射抑制用のチタ化ケイ素膜 17 が設けられている。



- 10 半導体基板
- 11 半導体層 (コレクタ領域)
- 12 ベース領域
- 17 チタ化ケイ素膜
- 20 p n 接合
- 21 結晶欠陥

## 【特許請求の範囲】

【請求項1】 半導体基板に該基板表面に沿うpn接合が形成された素子部の該pn接合の上下方向のみに粒子線の照射による結晶欠陥部が限定されるように形成され、前記pn接合部以外の前記素子部の基板表面には粒子線放射抑制用のチツ化ケイ素膜が設けられてなる半導体装置。

【請求項2】 前記素子部がバイポーラトランジスタであり、該トランジスタのベース領域および該ベース領域の下側のコレクタ領域に前記結晶欠陥が形成され、前記ベース領域より外周側の前記基板表面に前記チツ化ケイ素膜が設けられてなる請求項1記載の半導体装置。

【請求項3】 前記素子部が第1導電型の半導体層と該半導体層に設けられその端部をチャンネル領域とする第2導電型半導体領域と該第2導電型半導体領域の端部側に設けられたソース領域とからなる縦型MOSFETであり、該縦型MOSFETの前記第2の導電型半導体領域および第2導電型半導体領域の下側に前記結晶欠陥が形成され、前記縦型MOSFETのゲート電極の上に前記チツ化ケイ素膜が設けられてなる請求項1記載の半導体装置。

【請求項4】 半導体層への粒子線の照射によりキャリアのライフタイムを制御された半導体装置の製法であって、チツ化ケイ素膜をマスクとして前記半導体層に選択的に粒子線を照射する半導体装置の製法。

【請求項5】 前記粒子線の照射を前記半導体層の基板表面に沿うpn接合が形成される部分に選択的に行う請求項4記載の半導体装置の製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ダイオード、トランジスタ、サイリスタ、MOSFETなどの半導体装置であって、高速スイッチング特性を有するとともに高い耐圧もしくは小さなリーク電流の特性を有する半導体装置およびその製法に関する。

## 【0002】

【従来の技術】 pn接合を有する半導体装置で高速のスイッチング応答特性をうるため、金や白金などの重金属を拡散させたり、電子線、X線、プロトンなどの粒子線を照射することによりキャリアのライフタイムを低減させる方法が知られている。

【0003】 半導体層に金や白金などの重金属を拡散させる方法は、古くから研究されているが、拡散量の制御と均一化が難しいため、トランジスタなどでは電流増幅率と蓄積時間との相関 ( $h_{FE} - t_{stg}$ ) があまり良くないという問題がある。さらに、後処理の炉などの装置汚染の防止に注意する必要がありプロセス上の管理も大変である。

【0004】 また、粒子線を照射する方法は高いエネルギーをもつ粒子線が半導体層内の結晶に欠陥を生じさ

せ、深い準位を形成することによりキャリアのライフタイムを低減させるもので、これらの結晶欠陥は比較的低温の熱処理でキャリアのライフタイムが元の状態に戻り、効果がなくなってしまうため、半導体装置の製造工程中、後半に処理しなければならないという制約があるとともに、半導体装置の全面に粒子線が照射されると、耐圧が低下するなどの弊害が同時に起り、粒子線の過剰な照射は電気的特性の低下をもたらすという問題もある。

10 【0005】 電子線などの照射により耐圧が低下するのを防止する方法として、たとえば特開昭58-17678号公報には、耐圧がとくに低下し易い半導体層の表面の結晶欠陥を電子線の照射などによりアニールとして修復させる方法が開示されている。

【0006】 また、米国特許第4585489号明細書には、電子線などの粒子線照射に伴う耐圧の低下を防止する方法が開示されている。すなわち、粒子線の照射により半導体層表面のSiO<sub>2</sub>層に損傷が生じ、正の電荷がSiO<sub>2</sub>層に発生し、耐圧を低下させる。そのため、20 SiO<sub>2</sub>層を一度剥離し、そののち放射線損傷の発生しにくい酸素およびまたはチツ素を含む多結晶シリコンやアモルファスシリコンなどからなる半絶縁膜を設けることにより、半絶縁膜に電荷を生じさせないようにして耐圧の低下を防止しながらキャリアのライフタイムの制御を行う方法が開示されている。

【0007】 さらに、米国特許第4165517号明細書には、サイリスタにおいてゲート領域の転送効率 (transport factor)  $\alpha_c$  を選択的に高くするため、半導体層全体に一樣に電子線などを照射して30 キャリアのライフタイムを短くしたのち、さらにゲート領域のみをアニールすることにより結晶欠陥を修復するか、あるいはあらかじめゲート領域の表面に鉛ホイールなどのシールドを設けて電子線などを全面に照射することにより選択的に電子線などを照射したり、重金属をゲート領域以外の領域に拡散やイオン注入で導入することにより、半導体層の領域において選択的にライフタイムを短くするものが開示されている。

## 【0008】

【発明が解決しようとする課題】 前述の電子線などの照射に伴う耐圧の低下を防止するため、半導体層の表面のみをアニールして結晶欠陥を修復する方法では半導体層表面での耐圧の低下を防止することはできるが、内部のとくにpn接合の円筒部や球状部の曲率の大きい部分や空乏層ののびるフィールド領域の耐圧に対しては改善されないという問題がある。

【0009】 また、MOSFETのばあいには電子線などの照射に伴い、ゲート絶縁膜に正電荷などが発生し、ゲート・ソース間のリーク電流が増えるという問題がある。

50 【0010】 また、前述の半導体層の部分的領域のみに

電子線などを照射した効果をもたらすためにはマスクをして電子線などの照射を行わなければならないが、そのマスクとしては前述のように鉛などの重金属が用いられている。そのため、半導体ウェハの汚染防止などの必要があり、取扱いが困難であるとともに、電子線の照射後にマスクを除去しなければならない。なぜならこれらの重金属は、熱処理を行うことによってシリコン膜中に拡散し、ライフタイムキラーとして働くため、正確なライフタイムの制御の障害となったり、拡散炉が汚染し、リークが増大するという不具合が生じるからである。また、マスクを除去すると、素子形成のためのパターンニングと電子線照射のためのマスクのパターンニングとの位置ずれが生じ易く、位置ずれが生じるとpn接合の下側でキャリアのライフタイムを短くしなければならない領域とpn接合の曲率部で耐圧の向上を図らなければならない場所のずれが生じ、スイッチング特性および耐圧ともに満足な特性がえられないばあいが生じるという問題がある。

【0011】さらに、部分的にマスクをして電子線などの粒子線を照射するといっても、具体的な素子構造においてどの部分をマスクして粒子線の照射を行えば高速のスイッチング特性および高い耐圧の、またはリーク電流の少ない半導体装置がえられるかについては何ら開示されていない。

【0012】本発明はこのような問題を解決し、高速のスイッチング特性で、かつ、高い耐圧またはリーク電流の少ない特性を有する半導体装置およびその製法を提供することを目的とする。

#### 【0013】

【課題を解決するための手段】本発明者は、高速のスイッチング特性と高い耐圧または小さなリーク電流の特性の両方を満足する半導体装置をうるために鋭意検討を重ねた結果、高速スイッチング特性をうるためには水平に形成されたpn接合の縦方向（半導体基板の表面に対して平行方向に形成されたpn接合の上下）でキャリアのライフタイムを短くすれば、高速スイッチング特性がえられ、垂直に形成されたpn接合の横方向（半導体基板の表面に対して垂直方向に形成されたpn接合の左右）については余り影響しないことを見出した。そのため、水平方向にpn接合が形成される領域のみに電子線などの粒子線を照射して結晶欠陥を生じさせ、キャリアのライフタイムを短くすることにより高速のスイッチング特性がえられ、かつ、垂直方向のpn接合の外側には電子線などの粒子線が照射されないようにすることにより、結晶欠陥は生じておらず、高い耐圧を維持することができる。

【0014】また、部分的に電子線などの粒子線を照射するためのマスクとして従来は鉛などの重金属材料が用いられていたが、重金属材料は前述のようにウェハの汚染防止などやマスクずれなどの観点から取扱いが困難で

あり、本発明者らは鋭意検討を重ねた結果、これらの粒子線のマスクの透過割合はそのマスク材料の密度が大きくなると急激に低下し、また、少々の粒子線が半導体層内に照射されても粒子線のエネルギーは弱くなるため、耐圧の低下をあまりもたらさず、密度が2.4~3.1 g/cm<sup>3</sup>程度のチツ化ケイ素膜でも厚さを0.1~数μm程度以上とすることにより十分に粒子線のマスクとして使用しうることを見出した。ここに粒子線とは、電子線、X線、プロトンなどをいう。

10 【0015】本発明の半導体装置は、半導体基板に該基板表面と平行なpn接合が形成された素子部の該pn接合の上下方向のみに粒子線の照射による結晶欠陥部が形成され、前記pn接合部以外の前記素子部の基板表面には粒子線放射抑制用のチツ化ケイ素膜が設けられている。

【0016】前記素子部がバイポーラトランジスタであり、該トランジスタのベース領域および該ベース領域の下側のコレクタ領域に前記結晶欠陥が形成され、前記ベース領域より外周側の前記基板表面に前記チツ化ケイ素膜が設けられておれば、ベース・コレクタ間の蓄積時間t<sub>st</sub>は低下して高速のスイッチング特性がえられるとともに、pn接合の曲率部または空乏層の広がるフィールド領域では結晶欠陥による耐圧の低下がなく、高い耐圧を維持することができる。

【0017】前記素子部が第1導電型の半導体層と該半導体層に設けられその端部をチャネル領域とする第2導電型半導体領域と該第2導電型半導体領域の端部側に設けられたソース領域とからなる縦型MOSFETであり、該縦型MOSFETの前記第2の導電型半導体領域および第2導電型半導体領域の下側に前記結晶欠陥が形成され、前記縦型MOSFETのゲート電極の上に前記チツ化ケイ素膜が設けられておれば、縦型MOSFETにおいても同様に高速のスイッチング特性がえられるとともにゲート・ソース間リーク電流を小さく維持することができる。

【0018】本発明の半導体装置の製法は、半導体層への粒子線の照射によりキャリアのライフタイムを制御された半導体装置の製法であって、チツ化ケイ素膜をマスクとして前記半導体層に選択的に粒子線を照射することを特徴とする。

40 【0019】前記粒子線の照射を前記半導体層の基板表面と平行なpn接合が形成される部分に選択的に行うことによりキャリアのライフタイムを短くして高速スイッチング特性がえられるとともに高い耐圧または小さいリーク電流の半導体装置がえられる。

#### 【0020】

【作用】本発明の半導体装置およびその製法によれば、電子線などの粒子線の照射による結晶欠陥がトランジスタなどの素子部の半導体基板表面と平行方向のpn接合部のみに形成されているため、素子部としてpn接合を

流れる電流の大部分のキャリアの通路は結晶欠陥によりキャリアのライフタイムが短くなっており、スイッチング特性が高速になる。さらに垂直方向のpn接合の外周側の半導体層はその表面上にマスクとしてのチツ化ケイ素膜が形成されているため、粒子線の照射が弱められて結晶欠陥もほとんど生じないため、結晶欠陥に伴う耐圧の低下やリーク電流の増大も起らない。とくに耐圧の低下し易いpn接合の円筒部や球状部などの曲率部、または空乏層の広がるフィールド領域において結晶欠陥によるさらなる耐圧の低下を招くことなく、耐圧を高く維持することができる。

【0021】また、本発明によれば粒子線を選択的に照射するためのマスクとして、チツ化ケイ素膜を使用しているため、鉛ガラス（転移点約600℃）よりも高温プロセスでの使用が可能となり、セルフアライメント構造とすることもできる。

【0022】

【実施例】つぎに、図面を参照しながら本発明の半導体装置およびその製法について説明する。

【0023】図1は本発明の半導体装置の実施例1であるバイポーラトランジスタの断面説明図、図2はそのベース・コレクタ間の耐圧の分布を示す図、図3は本発明の半導体装置の実施例2である縦型MOSFETの断面説明図、図4はそのゲート・ソース間のリーク電流の分布を示す図である。

【0024】本発明の半導体装置は、半導体基板に該基板表面と平行なpn接合が形成された素子部の該pn接合の上下方向のみに粒子線の照射による結晶欠陥部が形成され、前記pn接合部以外の前記素子部の基板表面には粒子線放射抑制用のチツ化ケイ素膜が設けられている。

【0025】すなわち、前述のように本発明者は高速のスイッチング特性と高い耐圧特性または小さいリーク電流特性の両方を満足する半導体装置をうるために鋭意検討を重ねた結果、半導体基板の表面に対して平行方向に形成された素子用のpn接合の上下に電子線などの粒子線を照射することによりキャリアのライフタイムを短くすれば、垂直方向に形成されたpn接合部のキャリアについてはあまり影響しないことを見出し、垂直方向に形成されたpn接合部ではむしろチツ化ケイ素膜をマスクとして設けて粒子線を照射しないことにより、pn接合の曲率部および空乏層の広がるフィールド領域で耐圧に弱い部分の耐圧がそれ以上の低下を来たさず、使用上問題ない耐圧を維持している。その結果、高速のスイッチング特性がえられ、かつ、耐圧の高い、またはリーク電流の小さい半導体装置がえられる。つぎに、具体的な実施例により詳細に説明する。

【0026】実施例1

図1において、たとえばn<sup>+</sup>型の半導体基板10にコレクタ領域となるn型半導体層11が形成され、その表面

にp型のベース領域12、ベース領域12内にn<sup>+</sup>型エミッタ領域13がそれぞれ形成され、ベース領域12の周囲にはベース領域12とコレクタ領域間のpn接合20の空乏層を外周に遠ざけるためのFLR14a、14b、さらにその外周に表面の電荷を安定させるためのアニユラリング15が設けられ、半導体層11の表面には、たとえばSiO<sub>2</sub>などからなる保護膜16およびSi<sub>3</sub>N<sub>4</sub>などからなる粒子線の照射を抑制するチツ化ケイ素膜17がベース領域12の外周側、すなわち、フィールド領域の表面に設けられ、コンタクト孔を介してアルミニウムなどからなるベース電極18、エミッタ電極19が設けられ、半導体基板10の裏面側にコレクタ電極22が設けられている。

【0027】本実施例のトランジスタにおいてはチツ化ケイ素膜17が設けられたのちに、電子線が全面に照射され、半導体層11に結晶欠陥21が生成されており、この結晶欠陥21はベース領域12の下側では大量に形成されているが、ベース領域12の周囲であるフィールド領域の部分では結晶欠陥21の生成は僅かである（図1で×印は結晶欠陥の数の相対量を模式的に示している）。すなわち、電子線の照射の前に、半導体層11の表面に電子線の照射を抑制するチツ化ケイ素膜17がフィールド領域上に設けられているため、チツ化ケイ素膜17がないベース領域12部分では電子線が減衰されることなく半導体層11内に照射され、多数の結晶欠陥21が生成されている。しかし、フィールド領域部分ではチツ化ケイ素膜17が設けられており、電子線の透過を抑制する作用を呈するため、半導体層11に到達する電子線の量は少なく結晶欠陥21の発生量も僅かとなる。

【0028】ここで、半導体層11の表面には拡散マスクなどに用いるSiO<sub>2</sub>などからなる保護膜16も設けられており、ベース領域12上に存在するところもあるが、SiO<sub>2</sub>などの酸化ケイ素膜はその密度が2.1~2.3g/cm<sup>3</sup>程度で電子線の透過の程度は半導体層のシリコンとほぼ同等となりマスクにはならない。しかし、チツ化ケイ素膜は密度がそれより大きく、LPCVD（減圧CVD）により形成されたチツ化ケイ素膜は2.9~3.1g/cm<sup>3</sup>程度あり、0.1~5μm程度の厚さにすることにより電子線の透過を抑制する能力を充分に有する。またプラズマCVD法により形成されたチツ化ケイ素膜は密度が2.4~2.8g/cm<sup>3</sup>程度でやや低下するが、酸化ケイ素膜よりは大きく、厚さを0.5~10μm程度にすることにより充分に電子線などの粒子線を抑制するマスクとして使用しうる。

【0029】本実施例のトランジスタはチツ化ケイ素膜17を設けたのちに電子線などの粒子線を照射することにより製造されるため、ベース領域12の下部の主たる電流経路の場所でキャリアのライフタイムが低減され、高速のスイッチング特性がえられる。一方、フィールド領域ではチツ化ケイ素膜17により電子線の照射が抑制

されるため、結晶欠陥21の発生も抑制され、耐圧は低下しない。電子線の照射による結晶欠陥21の生成は450℃以下のアニールにより修復されるため、電子線の照射は高温となる拡散後のアニール工程のあとに行った方が好ましいが、チツ化ケイ素膜17はそのまま製品として残しておいても問題ないため、アニール工程のあとならいつでも行える。一方、チツ化ケイ素膜17は高温にも耐えられるため、製造工程の初期段階で形成することができ、たとえばベース領域12の形成マスクと兼用することもできる。

【0030】図2に本実施例の方法により製造したトランジスタのコレクタ・ベース間の耐圧の分布を、従来の全面に電子線の照射をして製造したトランジスタの耐圧の分布と対比して示す。その結果、本実施例によるものは1300V程度の耐圧がえられ、従来の900V程度よりはるかに改善されている。なお、データをとったサンプルの数はともに20個づつで、スイッチング特性については両者の差は殆どなかった。

#### 【0031】実施例2

本実施例は縦型MOSFETに本発明のキャリアのライフタイムの制御を適用したものである。図3において、30は第1導電型である、たとえばn'型の半導体基板、31はn型半導体層、32はたとえばp型領域の第2導電型半導体領域で32aはチャネル領域、33はn'型のソース領域、34はゲート絶縁膜、35はゲート電極、36は電子線などの照射を抑制するチツ化ケイ素膜、37はソース電極、38はドレイン電極である。39は電子線などの粒子線の照射により生成された結晶欠陥で、その表示は図1と同じである。このMOSFETは大電流をうるためにソース領域33とチャネル領域32aからなるセルが沢山マトリクス状にドレイン領域となる半導体層31内に形成されたもので、ソース領域33からチャネル領域32aを経て半導体層を裏面側の縦方向に流れる各セルの電流の和がMOSFETのドレイン電流となる。この種のMOSFETではp型領域32とn型半導体層31とのあいだにpn接合40が形成され、この領域でダイオードが形成され、この内蔵ダイオードの逆回復時間( $t_{rr}$ )が遅いと損失が生じる。本実施例ではこの領域に電子線が照射され、結晶欠陥39を生じさせているため、キャリアのライフタイムが短くなり、内蔵ダイオードの逆回復時間( $t_{rr}$ )を速くすることができる。

【0032】一方、全面に電子線が照射されるとゲート電極35の下側のSiO<sub>2</sub>などからなるゲート酸化膜34に正の電荷が発生しゲート・ソース間のリーク電流が多くなる。しかし本実施例ではゲート電極35の上部にチツ化ケイ素膜36が設けられているため、電子線の照射が抑制され、ゲート絶縁膜34に正の電荷が発生するのが抑制される。その結果本実施例によれば、リーク電流の増加を防止しながらスイッチング特性の高速化が図

られる。

【0033】図4に本実施例2の縦型MOSFETのゲート・ソース間リーク電流 $I_{ess}$ を20個のサンプルで測定した分布で示す。図4には同時に従来の全面に電子線放射をしてスイッチング特性の改善を図ったもののゲート・ソース間リーク電流 $I_{ess}$ の分布を対比して示す。図4から本発明によれば、リーク電流が従来の1/10程度に減少していることがわかる。

#### 【0034】

10 【発明の効果】本発明によれば、pn接合を有する半導体装置のスイッチング速度を向上させるため、チツ化ケイ素膜をマスクとして必要な領域のみに選択的に電子線などの粒子線を照射しているため、主要なpn接合部のキャリアのライフタイムを短くすることができ、高速のスイッチング特性がえられるとともに耐圧の高い、またはリーク電流の少ない半導体装置がえられる。

【0035】さらに、選択的な粒子線の照射を行うためのマスクとしてチツ化ケイ素膜を使用しているため、鉛ガラスなどをマスクとするのと異なり、ゲートの保護膜形成などの高温プロセスでもそのまま使用することが可能となり、セルフアライメント構造を採用することができる。その結果、電子線の照射すべき領域と素子の形成領域とのアライメントがえられ易く、一層スイッチング特性と耐圧またはリーク電流特性の向上した半導体装置がえられる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の実施例1の断面説明図である。

【図2】実施例1の耐圧の分布を示す図である。

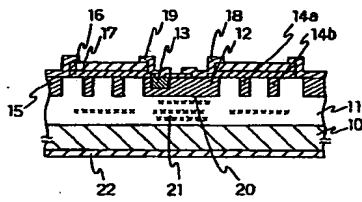
30 【図3】本発明の半導体装置の実施例2の断面説明図である。

【図4】実施例2のゲート・ソース間リーク電流の分布を示す図である。

#### 【符号の説明】

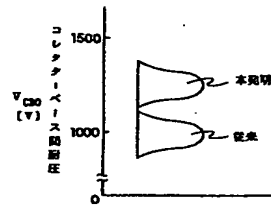
- 10 半導体基板
- 11 半導体層(コレクタ領域)
- 12 ベース領域
- 17 チツ化ケイ素膜
- 20 pn接合
- 21 結晶欠陥
- 30 半導体基板
- 31 半導体層
- 32 第2導電型半導体領域
- 32a チャネル領域
- 33 ソース領域
- 35 ゲート電極
- 36 チツ化ケイ素膜
- 39 結晶欠陥
- 40 pn接合

【図1】

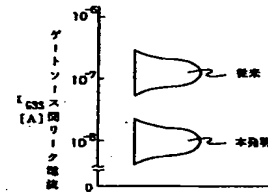


- 10 半導体基板  
11 半導体層 (コレクタ領域)  
12 ベース領域  
13 ゲート電極  
14a チュ化ケイ素層  
15 ソース領域  
16 ドレイン領域  
17 絶縁膜  
18 絶縁膜  
19 絶縁膜  
20 絶縁膜  
21 絶縁膜  
22 絶縁膜

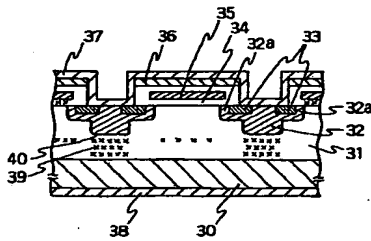
【図2】



【図4】



【図3】



- 30 半導体基板  
31 半導体層  
32 第2導電型半導体領域  
32a チャンネル領域  
33 ソース領域  
34 ゲート電極  
35 チュ化ケイ素層  
36 ドレイン領域  
37 絶縁膜  
38 絶縁膜  
39 絶縁膜  
40 絶縁膜  
41 絶縁膜  
42 絶縁膜

フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/329

識別記号 片内整理番号

FI  
H01L 29/91

技術表示箇所

D

## DESCRIPTION

### SEMICONDUCTOR APPARATUS AND PROCESS FOR ITS FABRICATION

#### Technical Field

The present invention relates to semiconductor apparatus such as diodes, transistors, thyristors and MOSFETs and a process for fabricating them. More particularly, the invention relates to semiconductor apparatus that have not only fast switching characteristics but also high breakdown voltage or small leakage current characteristics. The invention also relates to a process for fabricating such semiconductor apparatus.

#### Background Art

It has been known that semiconductor apparatus having a pn junction can be provided with fast switching or response characteristics by shortening the lifetime of carriers either through diffusion of heavy metals such as gold and platinum or through irradiation with particle rays such as electron beams, X-rays and proton rays.

The method of diffusing gold, platinum and other heavy metals into the semiconductor layer has long been studied but the difficulties involved in controlling the amount of diffusion and achieving uniform diffusion have presented the problem of a comparatively poor correlation-ship between current amplification factor and storage time ( $h_{FE} - t_{sig}$ ) in s such as transistors. In addition, the need for taking care to prevent the contamination of apparatus such as a post-treatment furnace is a great burden in process control.

The second approach which relies upon irradiation with particle rays aims at shortening the lifetime of carriers by means of the high energy of particle rays which create defects in the crystals of the semiconductor layer so as to form deep energy levels. The restraint on this approach is that it must be implemented in the later stage of the fabrication sequence for the semiconductor apparatus since the created crystal defects will revert to the



initial state in terms of the lifetime of carriers and become no longer effective. What is more, the overall exposure of the semiconductor apparatus to particle rays causes additional disadvantages such as reduced dielectric breakdown strength and an excessive exposure to particle rays will deteriorate the electrical characteristics of the semiconductor apparatus.

A method of preventing the drop of dielectric breakdown strength due to exposure to particle rays such as electron beams is disclosed in Unexamined Published Japanese Patent Application (kokai) No. 17678/1983 and characterized in that the crystal defects in the surface of a semiconductor layer which is most prone to experience a drop in dielectric breakdown strength are repaired by annealing which is typically implemented by exposure to electron beams.

United States Patent No. 4,585,489 also discloses a method of ensuring against the drop in dielectric breakdown strength due to irradiation with particle rays such as electron beams. If the semiconductor substrate is exposed to particle rays, the  $\text{SiO}_2$  layer on the substrate surface is damaged and positive charges are generated in it, thereby reducing the dielectric breakdown strength. To solve this problem, U.S. Patent 4,585,489, supra, proposes that the  $\text{SiO}_2$  layer be removed before providing a semi-insulating layer that is resistant to radiation damage and which is typically formed of oxygen and/or nitrogen containing polycrystalline or amorphous silicon, thereby assuring that no fixed charges will remain in the semi-insulating film. Thereafter, the semiconductor substrate is irradiated with an electron beam to control the lifetime of carriers without reducing the dielectric breakdown strength.

United States Patent No. 4,165,517 teaches a thyristor having a gate region of selective high transport factor  $\alpha_g$ . This is achieved either by uniform irradiation of a semiconductor substrate with particle rays such as

electron beams in order to shorten the lifetime of carriers and then annealing only the gate region to repair the crystal defects it contains, or by providing a shield such as a lead foil on the surface of the gate region and then irradiating the substrate uniformly with particle rays such as electron beams while protecting the gate region against the creation of crystal defects, or by introducing heavy metals into the areas of the substrate other than the gate region through diffusion or ion implantation. By either of these methods, the lifetime of carriers can be shortened in a selective region of the semiconductor substrate.

The method described in Unexamined Published Japanese Patent Application (kokai) No. 17678/1983, supra, which anneals the surface of the semiconductor substrate to repair the crystal defects present is capable of preventing the drop in the dielectric breakdown strength of the substrate surface due to irradiation with particle rays such as electron beams. However, this method is by no means effective in preventing the drop that may occur in the interior portions, particularly the cylindrical or spherical parts of the pn junction having great curvatures or the field region having the extending depletion layer.

Another problem with this technique is that in the case of a MOSFET, irradiation with particle rays such as electron beams creates positive charges or other minority carriers in the gate insulating film, thereby increasing the gate-to-source leakage current.

In the method disclosed in U.S. Patent 4,165,517, exposure to particle rays such as electron beams has to be conducted through a mask in order to ensure the localized irradiation of the semiconductor substrate and the mask is made of a heavy metal such as lead. This not only introduces difficulty in handling due to the need to provide protection against wafer contamination but also requires the removal of the mask after the end of irradiation. The reason is that upon heat treatments, the heavy metals such as lead will diffuse into the silicon

film and act as lifetime killers that interfere with the precise control of carrier lifetime. The diffused heavy metals will also contaminate the diffusion furnace to cause increased leakage. What is more, the removal of the mask is prone to cause misalignment between the forming pattern and the mask pattern for exposure to an electron beam and this in turn causes a mismatch between the region under the pn junction where the lifetime of carriers has to be shortened and the curvatures of the pn junction which must have an improved breakdown voltage. If this mismatch occurs, it may be impossible to attain satisfactory results in both switching and dielectric breakdown strength characteristics.

U.S. Patent 4,165,517 teaches the use of a selective mask for irradiation with particle rays such as electron beams but it gives no specific information about which part of the structure should be masked in order to produce a semiconductor apparatus that has fast switching and high dielectric breakdown strength or small leakage current characteristics.

#### Disclosure of Invention

The present invention has been accomplished under these circumstances and has as an object providing a semiconductor apparatus that has fast switching characteristics, as well as high dielectric breakdown strength or small leakage current characteristics.

Another object of the invention is to provide a process for fabricating such improved semiconductor apparatus.

The present inventors conducted intensive studies in order to develop a semiconductor apparatus meeting both requirements for fast switching characteristics and high dielectric breakdown strength or small leakage current characteristics. As a result, it has been found that fast switching characteristics can be attained by shortening the lifetime of carriers in the vertical direction of a horizontally formed pn junction (above or below a pn

junction formed parallel to a major surface of a semiconductor substrate) and that no significant effects occur in the transverse direction of a vertically formed pn junction (right or left to a pn junction formed vertical to a major surface of a semiconductor substrate). In the light of these findings, only the region of a semiconductor substrate where a pn junction is formed horizontally is exposed to particle rays such as electron beams, thereby creating crystal defects and shortening the lifetime of carriers by a sufficient degree to provide fast switching characteristics; at the same time, the area exterior to a vertically formed pn junction is prevented from exposure to particle rays such as electron beams, whereby the creation of crystal defects is prevented and high dielectric breakdown strength is maintained.

The mask for selective exposure to particle rays such as electron beams is conventionally made of heavy metal materials such as lead. However, as already mentioned, heavy metal materials are difficult to handle without causing wafer contamination or mask misalignment. The present inventors conducted intensive studies to solve this problem and found the following: the penetration of particle rays through the mask dropped markedly as the density of the mask material increased; even when a small amount of ray particles were admitted into the semiconductor layer, the high-density mask material sufficiently attenuated the energy of the ray particles to prevent the occurrence of a significant drop in the dielectric breakdown strength; even a silicon nitride film having a density of about  $2.4 - 3.1 \text{ g/cm}^3$  was useful as a practical mask of ray particles when its thickness was in the range from 0.1 to several microns or more. Typical examples of the ray particles contemplated for use in the invention are electron beams, X-rays and proton beams.

The semiconductor apparatus according to the first aspect of the invention comprises a that has a pn junction formed along the surface of a semiconductor

substrate, with crystal defects being formed by irradiation with particle rays in such a way that they are limited to the vertical direction of said pn junction whereas a silicon nitride film for restraining the exposure to particle rays is provided on the substrate surface of said in the areas other than said pn junction.

In a preferred embodiment, said is a bipolar transistor and said crystal defects are formed in both the base region of said transistor and the collector region under said base region, with said silicon nitride film being provided on said substrate surface extending in the areas external to the perimeter of said base region. This arrangement effectively shortens the base-to-collector storage time  $t_{stg}$  to provide fast switching characteristics; in addition, the curvatures of the pn junction or the field region having the extending depletion layer will experience no drop in dielectric breakdown strength due to crystal defects and, hence, can maintain high breakdown voltage.

In another preferred embodiment, said is a vertical MOSFET comprising a semiconductor layer of a first conduction type, a semiconductor region of a second conduction type that is provided in said semiconductor layer and that has a channel region at either end and a source region provided at either end of said semiconductor region of a second conduction type, said crystal defects being formed both within and below said semiconductor region of a second conduction type in said vertical MOSFET whereas said silicon nitride film is provided above the gate electrode of said vertical MOSFET. This arrangement is also effective in providing the vertical MOSFET with fast switching characteristics and, at the same time, it is capable of maintaining the gate-to-source leakage current at a reasonably small level.

The process according to the second aspect of the invention is for fabricating a semiconductor apparatus which has the lifetime of carriers controlled by irradiating a semiconductor layer with particle rays and it is

characterized in that said semiconductor layer is selectively irradiated with particle rays through a silicon nitride film which is used as a mask.

5 In a preferred embodiment, the irradiation with said particle rays is selectively performed on that area of said semiconductor layer in which a pn junction is formed along the substrate surface of said semiconductor layer. This technique is effective in sufficiently shortening the lifetime of carriers to provide fast switching characteristics and also contributes to the fabrication of a  
10 semiconductor apparatus having high dielectric breakdown strength or small leakage current characteristics.

According to the present invention, crystal defects due to the irradiation with particle rays such as  
15 electron beams are formed only in the area that is below a pn junction formed parallel to the surface of the semiconductor substrate of a such as a transistor. On account of the crystal defects, the lifetime of carriers for the greater part of the current flowing through the pn  
20 junction is sufficiently shortened in the conduction path to provide faster switching characteristics. On the other hand, few crystal defects occur in that area of the semiconductor layer which is external to the perimeter of a vertically formed pn junction since the particle rays  
25 admitted into that area are sufficiently attenuated by the silicon nitride film formed as a mask on the surface of that area; hence, there will be neither a drop in the dielectric breakdown strength nor an increase in the leakage current that would occur if crystal defects were  
30 present. The dielectric breakdown strength is most prone to drop in the curvatures of the pn junction such as the cylindrical or spherical parts or in the field region with the extending depletion layer but according to the invention, there will be no further drop in the dielectric  
35 breakdown strength due to crystal defects and, hence, a high breakdown voltage can be maintained.

The silicon nitride film used as a mask for

selective exposure to particle rays has the added advantage that it can be used in a higher-temperature process step than the leaded glass ( $T_g = 600^\circ\text{C}$ ) and this enables the use of a self-aligned structure.

5

#### Brief Description of Drawings

Fig. 1 is a sectional view of a semiconductor apparatus according to Example 1 of the invention;

10

Fig. 2 is a diagram showing the profile of the breakdown voltage of the semiconductor apparatus of Example 1;

Fig. 3 is a sectional view of a semiconductor apparatus according to Example 2 of the invention; and

15

Fig. 4 is a diagram showing the profile of the gate-to-source leakage current of the semiconductor apparatus of Example 2.

The semiconductor apparatus and the process for its fabrication according to the present invention will now be described with reference to the accompanying drawings.

#### Best Mode for Carrying Out the Invention

20

The semiconductor apparatus of the invention comprises a that has a pn junction formed along the surface of a semiconductor substrate, with crystal defects being formed by irradiation with particle rays in such a way that they are limited to the vertical direction of said pn junction whereas a silicon nitride film for restraining the exposure to particle rays is provided on the substrate surface of said in the areas other than said pn junction.

25

30

35

As already mentioned, the present inventors conducted intensive studies in order to develop a semiconductor apparatus meeting both requirements for fast switching characteristics and high dielectric breakdown strength or small leakage current characteristics and found that when the lifetime of carriers was shortened by applying particle rays such as electron beams in the vertical direction of a pn junction formed parallel to the surface of the semiconductor substrate of a , there were no significant effects on carriers that would flow through a

vertically formed pn junction. What is more, a silicon nitride film is provided over the vertically formed pn junction to prevent the admission of particle rays and the curvatures of the pn junction as well as the field region with the extending depletion layer which are particularly low in dielectric breakdown strength will not undergo any further drop in this parameter but maintain a practically acceptable breakdown voltage. As a result, fast switching characteristics are attained and, in addition, a semiconductor apparatus having high dielectric breakdown strength or small leakage current characteristics is provided. These features of the invention are described below in detail with reference to two specific examples.

Example 1:

Reference should first be made to Fig. 1. A typically  $n^+$  type semiconductor substrate 10 has an n-type semiconductor layer 11 formed thereon to provide a collector region. A p-type base region 12 is formed in the surface of the collector region 11 and an  $n^+$  type emitter region 13 is formed in the base region 12. The base region 12 is surrounded with FLRs (field-limiting regions) 14a and 14b for allowing a pn junction 20 between the base region 12 and the collector region 11 to extend beyond the perimeters of these FLRs, which in turn are surrounded by an annular ring 15 for stabilizing surface charges. A protective film 16 typically made of  $SiO_2$  and a silicon nitride film 17 typically made of Si N for restraining the exposure to particle rays are provided on the surface of the semiconductor layer 11 in the area which is external to the perimeter of the base region 12 and which represents the field region. A base electrode 18 and an emitter electrode 19 which are typically made of aluminum are provided on the surface of the semiconductor layer 11 via a contact hole. A collector electrode 22 is provided on the back surface of the semiconductor substrate 10.

To fabricate the transistor of Example 1, the silicon nitride film 17 is provided before the semi-



conductor layer 11 is given overall exposure to an electron beam to create crystal defects 21 in that layer 11. Many crystal defects 21 are formed under the base region 12 but only few crystal defects 21 are created in the field region which surrounds the base region 12 (the number of crosses in Fig. 1 is a relative measure of the number of crystal defects present). Thus, the silicon nitride film 17 which restrains the exposure to an electron beam is provided in the surface of the semiconductor layer 11 to cover the field region before actual exposure to electron beams. Because of this configuration, an electron beam is admitted unattenuated into the semiconductor layer 11 in the base region 12 which has no overlying silicon nitride film, thereby creating many crystal defects 21. On the other hand, the field region which is provided with the silicon nitride film 17 effectively restrains the penetration of the electron beam so that only a limited amount of the electron beam will reach the semiconductor layer 11 to create a correspondingly smaller number of crystal defects 21.

The surface of the semiconductor layer 11 is also provided with the protective film 16 which is typically made of  $\text{SiO}_2$ , as in the case of a diffusion mask and this film partially overlaps the base region 12. However, silicon oxide (e.g.  $\text{SiO}_2$ ) films have densities of about  $2.1 - 2.3 \text{ g/cm}^3$  and an electron beam will penetrate them to substantially the same depth as it penetrates the silicon in the semiconductor layer; hence, the protective film 16 does not serve as a mask. On the other hand, the silicon nitride film has a greater density and the one that is formed by LPCVD (low-pressure CVD) has typically densities of about  $2.9 - 3.1 \text{ g/cm}^3$  and by adjusting its thickness to about  $0.1 - 5 \text{ }\mu\text{m}$ , the film is provided with a sufficient ability to restrain the penetration of electron beams. The silicon nitride film formed by plasma-assisted CVD has somewhat lower densities of about  $2.4 - 2.8 \text{ g/cm}^3$  but these values are still greater than those for the silicon oxide

films and by adjusting the thickness of that film to about 0.5 - 10  $\mu\text{m}$ , it can effectively be used as a mask for restraining the penetration of particle rays such as electron beams.

5           The transistor of Example 1 is fabricated by performing exposure to particle rays such as an electron beam after the provision of the silicon nitride film 17 and, hence, the lifetime of carriers is sufficiently shortened in the dominant current path under the base region 12 to provide fast switching characteristics. On  
10   the other hand, the exposure to electron beams is restrained in the field region by means of the silicon nitride film 17 and the creation of crystal defects 21 is suppressed accordingly to ensure against the drop in  
15   dielectric breakdown strength. The crystal defects 21 created upon irradiation with an electron beam are repaired by annealing at 450°C or below, so exposure to an electron beam is preferably performed after the post-diffusion anneal step which is conducted at elevated temperatures.  
20   In contrast, the silicon nitride film 17 can safely be left intact on the final product without causing any problems. Therefore, irradiation with an electron beam may be performed at all times subsequent to annealing. On the  
25   other hand, the silicon nitride film 17 can withstand elevated temperatures and, hence, may be formed at the early stage of a fabrication process for the transistor; if desired, the film may also serve as a mask to form the base region 12.

30           Fig. 2 shows the profile of the collector-to-base breakdown voltage of the transistor of Example 1 as compared to that of the breakdown voltage of a transistor fabricated by the prior art process involving overall exposure to an electron beam. Obviously, the product of  
35   Example 1 had breakdown voltages of about 1,300 volts and was by far improved over the prior art product which had breakdown voltages of about 900 volts. Both data were taken on 20 samples each and the two transistors had little

differences in switching characteristics.

Example 2:

5       The concept of the invention for controlling the  
lifetime of carriers was applied to a vertical MOSFET.  
Reference should first be made to Fig. 3. A semiconductor  
substrate 30 of a first conduction type, say,  $n^+$  type has  
10       formed thereon an  $n$ -type semiconductor layer 31, a  
semiconductor region 32 of a second conduction type, say,  
 $p$ -type, with the channel region indicated by 32a,  $n^+$  type  
source regions 33, a gate insulator film 34, a gate  
electrode 35, a silicon nitride film 36 for restraining the  
exposure to particle rays such as electron beams, a source  
electrode 37 and a drain electrode 38. Crystal defects 39  
15       which have been created by exposure to particle rays such  
as electron beams are designated by the same convention as  
in Fig. 1. To gain a large current, the MOSFET shown in  
Fig. 3 has a matrix of many cells that each consist of the  
source regions 33 and the channel region 32a and which are  
20       formed within the semiconductor layer 31 providing the  
drain region. A current flows vertically from the source  
regions 33 of each cell through the channel region 32a to  
the back surface of the semiconductor layer 31 and the sum  
of such currents flowing through all cells that are present  
provides the drain current of the MOSFET. In a MOSFET of  
25       the type under discussion, a  $pn$  junction 40 is formed  
between the  $p$ -type region 32 and the  $n$ -type semiconductor  
layer 31 and a diode is established in this region. Loss  
will occur if this diode, generally called a "built-in  
diode" has a long reverse recovery time ( $t_{rr}$ ). In Example  
30       2, an electron beam is applied to this region to create  
crystal defects 39, whereby the lifetime of carriers is  
sufficiently shortened to reduce the reverse recovery time  
( $t_{rr}$ ) of the built-in diode (i.e. enable its quick reverse  
recovery).

35       If the entire surface of the semiconductor layer  
31 is exposed to an electron beam, positive charges will be  
generated in the gate oxide film 34 (typically made of  $SiO_2$ )

which underlies the gate electrode 35 and the gate-to-source leakage current will flow in an increased amount. However, the silicon nitride film 36 provided in Example 2 over the gate electrode 35 effectively restrains the exposure to an electron beam and, hence, the generation of positive charges in the gate insulator film 34. As a consequence, Example 2 ensures against the increase in leakage current while providing faster switching characteristics.

Fig. 4 shows the profile of the gate-to-source leakage current  $I_{GSS}$  of the vertical MOSFET of Example 2, as measured on 20 samples. Fig. 4 also shows as comparative data the profile of the  $I_{GSS}$  of a vertical MOSFET that had the switching characteristics improved by the prior art overall exposure to an electron beam. Obviously, the leakage current flowing through the invention transistor was about one tenth the value for the prior art product.

#### Industrial Applicability

According to the present invention which aims at increasing the switching speed of semiconductor apparatus having a pn junction, a silicon nitride film is used as a mask for selective irradiation of the necessary region with particle rays such as an electron beam and this is effective in sufficiently shortening the lifetime of carriers flowing across the pn junction (the dominant current path) so that the desired fast switching characteristics are attained. The semiconductor apparatus of the invention also has high dielectric breakdown strength or small leakage current characteristics.

The silicon nitride film used as a mask for selective exposure to particle rays has the added advantage that unlike the conventional mask typically made of leaded glass, the film can be used as such in a high-temperature process step as exemplified by the formation of a gate protective film and this enables the use of a self-aligned structure. As a consequence, one can easily achieve alignment between the region to be irradiated with particle

rays and the region where a of interest is formed and this enables the fabrication of a semiconductor apparatus that is further improved in both switching characteristics and dielectric breakdown strength or leakage current characteristics.

5

## CLAIMS

1. A semiconductor apparatus comprising:

a semiconductor substrate;

a semiconductor layer on said semiconductor substrate,  
said semiconductor layer having a pn junction formed along  
the surface of said semiconductor substrate, wherein  
crystal defects are formed by irradiation with particle  
rays to the only vertical direction of said pn junction;  
and

a silicon nitride film provided on the substrate  
surface of said layer for restraining the exposure to  
particle rays being provided on the substrate surface of  
said element in the areas other than said pn junction.

2. A semiconductor apparatus according to claim 1, wherein  
said element is a bipolar transistor and said crystal  
defects are formed in both the base region of said  
transistor and the collector region under said base region,  
with said silicon nitride film being provided on said  
substrate surface in the areas external to the perimeter of  
said base region.

3. A semiconductor apparatus according to claim 1, wherein  
said element is a vertical MOSFET comprising a  
semiconductor layer of a first conduction type, a  
semiconductor region of a second conduction type that is  
provided in said semiconductor layer and that has a channel  
region at either end and a source region provided at either  
end of said semiconductor region of a second conduction  
type, said crystal defects being formed both within and  
below said semiconductor region of a second conduction type  
in said vertical MOSFET whereas said silicon nitride film  
is provided above the gate electrode of said vertical  
MOSFET.

4. A process for fabricating a semiconductor apparatus  
which has the lifetime of carriers controlled by

irradiating a semiconductor layer with particle rays, said process comprising the step of:

selectively irradiating particle rays onto said semiconductor through a silicon nitride film which is used as a mask.

5

5. A process according to claim 4, wherein the irradiation with said particle rays is selectively performed on that area of said semiconductor layer in which a pn junction is formed along the substrate surface of said semiconductor layer.

10

# ABSTRACT

It is an object to provide a semiconductor apparatus having both fast switching characteristics and high dielectric breakdown strength or small leakage current characteristics, as well as a process for fabricating such improved semiconductor apparatus. The apparatus comprises a semiconductor substrate; a semiconductor layer on said semiconductor substrate, said semiconductor layer having a pn junction formed along the surface of said semiconductor substrate, wherein crystal defects being formed by irradiation with particle rays to the only vertical direction of said pn junction; and a silicon nitride film provided on the substrate surface of said layer for restraining the exposure to particle rays being provided on the substrate surface of said element in the areas other than said pn junction.



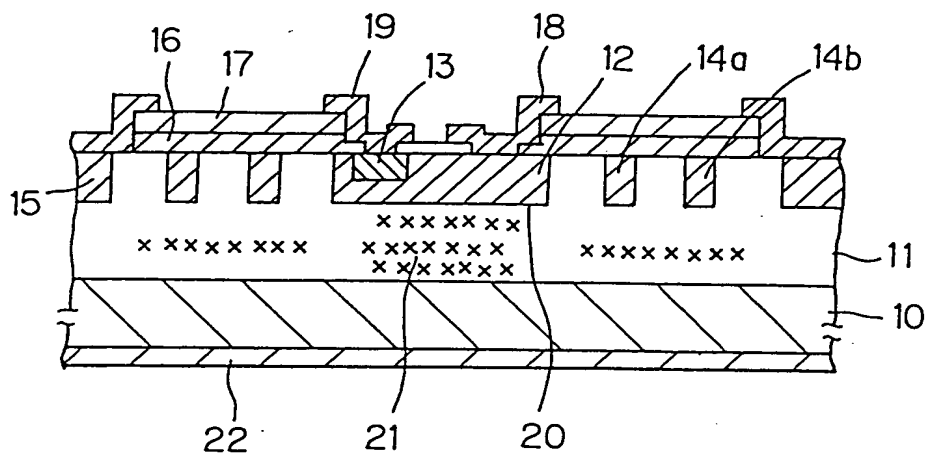


Fig.1

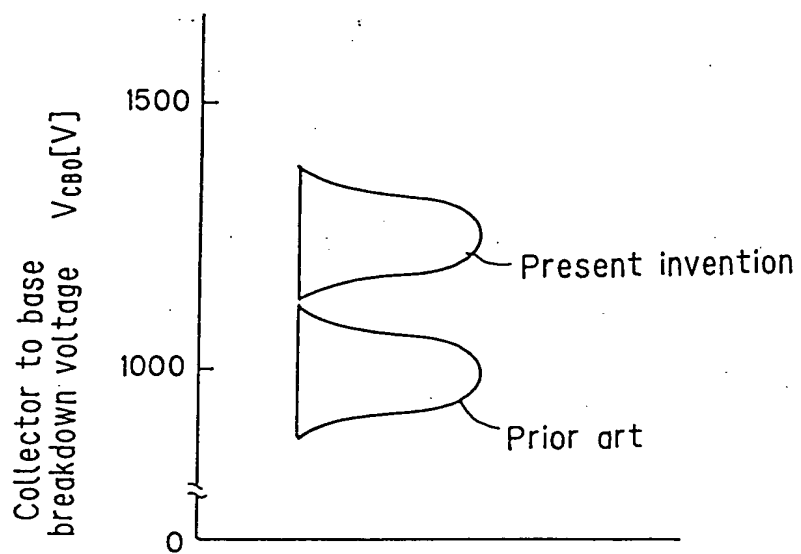


Fig.2

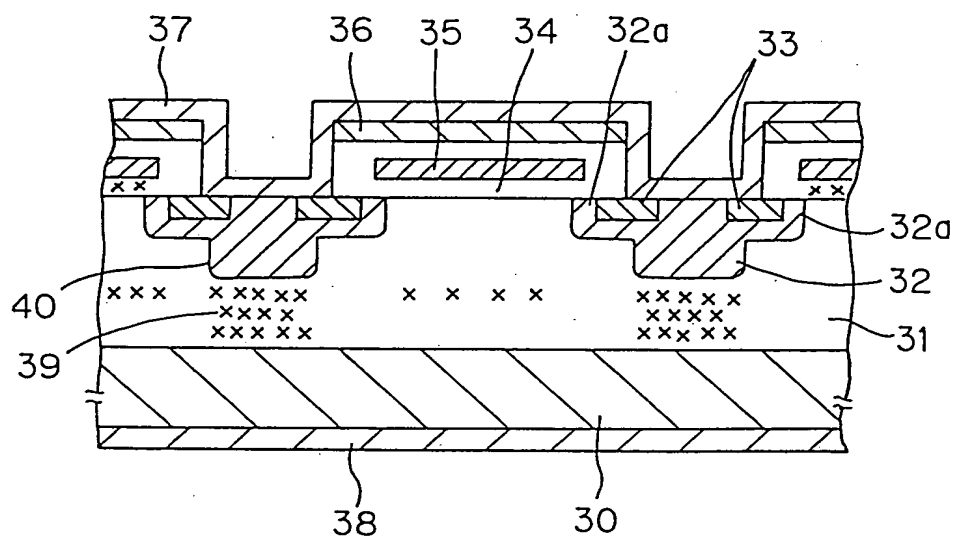


Fig.3

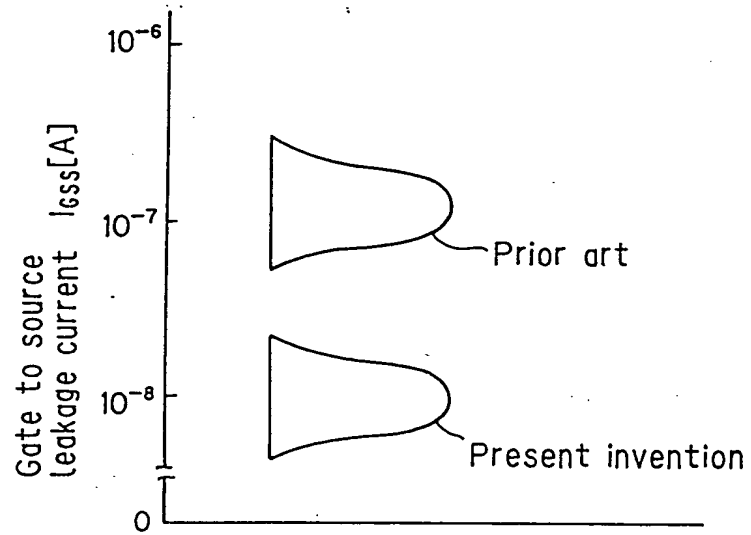


Fig.4